



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

## GUÍA DOCENTE DE ESTRUCTURA DE COMPUTADORES

La presente guía docente corresponde a la asignatura Estructura de Computadores (EDCO), aprobada para el curso lectivo 2011-2012 en Junta de Centro y publicada en su versión definitiva en la página web de la Escuela Politécnica Superior. Esta guía docente de EDCO aprobada y publicada antes del periodo de matrícula tiene el carácter de contrato con el estudiante.



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

## 1. ASIGNATURA

### Estructura de Computadores

#### 1.1. Código

17820 del Grado en Ingeniería Informática

#### 1.2. Materia

Estructura y Arquitectura de Computadores

#### 1.3. Tipo

Formación básica

#### 1.4. Nivel

Grado

#### 1.5. Curso

1º

#### 1.6. Semestre

2º

#### 1.7. Número de créditos

6 créditos ECTS

#### 1.8. Requisitos previos

Es muy recomendable haber cursado la asignatura Fundamentos de Computadores del primer semestre.



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

## 1.9. Requisitos mínimos de asistencia a las sesiones presenciales

Se plantean dos métodos de evaluación, uno de evaluación CONTINUA y otro de evaluación NO CONTINUA, **de forma independiente para los contenidos teóricos y para los contenidos prácticos**. Por defecto, se supone que todos los estudiantes, por el hecho de estar matriculados en la asignatura, optan por un método de evaluación CONTINUA.

La aplicación de la evaluación CONTINUA para los contenidos teóricos está ligada a la realización y superación de una calificación mínima de las actividades propuestas durante el desarrollo del curso.

La aplicación de la evaluación CONTINUA para los contenidos prácticos está ligada a la asistencia y a la realización de las actividades propuestas en las sesiones prácticas en el laboratorio.

La norma a seguir en cada caso es la siguiente:

### **EVALUACION CONTINUA y NO CONTINUA PARA CONTENIDOS TEÓRICOS.**

En ambas modalidades la asistencia a clase de teoría no es obligatoria, pero sí fuertemente recomendable.

#### **MUY IMPORTANTE**

Sin necesidad de avisar previamente, en las clases se pueden realizar pruebas que sirvan para la evaluación continua. La ausencia a estas sesiones implica la no realización de la citada prueba y la consecuente calificación con cero puntos en la actividad.

Los detalles acerca de la normativa de evaluación para cada una de las dos modalidades se recogen en el epígrafe 2.2 de esta guía.

### **EVALUACIÓN CONTINUA PARA CONTENIDOS PRÁCTICOS (LABORATORIO).**

En la modalidad de evaluación CONTINUA, el estudiante deberá asistir a todas las clases prácticas y entregar de forma regular y en las fechas marcadas las memorias de resultados de cada una de las prácticas propuestas.

Siempre por motivos debidamente justificados, el estudiante puede faltar a un máximo de 2 sesiones de prácticas (4 horas), debiendo en su caso, presentar también las memorias correspondientes. En el caso de alcanzar un número mayor de faltas o la no entrega de alguna de las memorias solicitadas, será excluido de esta modalidad de evaluación.

### **EVALUACIÓN NO CONTINUA PARA CONTENIDOS PRÁCTICOS (LABORATORIO).**

En esta modalidad la asistencia a clase de prácticas no es obligatoria, pero sí fuertemente recomendable.

Los detalles acerca de la normativa de evaluación que diferencian cada una de las dos modalidades de evaluación práctica, se recogen en el epígrafe 2.2 de esta guía.



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

## 1.10. Datos del equipo docente

### Profesores de teoría:

Javier Garrido Salas (Coordinador, Gr-210 y Gr-216)  
Departamento de Tecnología Electrónica y de las Comunicaciones  
Centro: Escuela Politécnica Superior  
Despacho: Edificio C-238  
Teléfono: +34 91 497 2254  
Correo electrónico: javier.garrido@uam.es  
Página web: <http://arantxa.ii.uam.es/~jgarrido/>  
Horario de atención al alumnado: Petición de cita previa por correo electrónico.

Susana Holgado González-Guerrero (Gr-211)  
Departamento de Tecnología Electrónica y de las Comunicaciones  
Centro: Escuela Politécnica Superior  
Despacho: Edificio C-229  
Teléfono: +34 91 497 2265  
Correo electrónico: Susana.holgado@uam.es  
Página web: <http://arantxa.ii.uam.es/~sholgado/>  
Horario de atención al alumnado: Petición de cita previa por correo electrónico.

Ángel de Castro Martín (Gr-212)  
Departamento de Tecnología Electrónica y de las Comunicaciones  
Centro: Escuela Politécnica Superior  
Despacho: Edificio C-236  
Teléfono: +34 91 497 2802  
Correo electrónico: angel.decastro@uam.es  
Página web: <http://arantxa.ii.uam.es/~adcastro/>  
Horario de atención al alumnado: Petición de cita previa por correo electrónico.

### Profesores de prácticas:

Alberto Sánchez González (Coordinador)  
Departamento de Tecnología Electrónica y de las Comunicaciones  
Centro: Escuela Politécnica Superior  
Despacho: Edificio C-115  
Teléfono: +34 91 497 3613  
Correo electrónico: alberto.sanchezgonzalez@uam.es  
Horario de atención al alumnado: Petición de cita previa por correo electrónico.

Dr. Ángel de Castro Martín  
Departamento de Tecnología Electrónica y de las Comunicaciones  
Centro: Escuela Politécnica Superior  
Despacho: Edificio C-236  
Teléfono: +34 91 497 2802  
Correo electrónico: angel.decastro@uam.es  
Página web: <http://arantxa.ii.uam.es/~adcastro/>  
Horario de atención al alumnado: Petición de cita previa por correo electrónico.



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

Fernando Barbero Díaz  
Departamento de Tecnología Electrónica y de las Comunicaciones  
Centro: Escuela Politécnica Superior  
Despacho: Edificio C-235  
Teléfono: +34 91 497 7559  
Correo electrónico: fernando.barbero@uam.es  
Horario de atención al alumnado: Petición de cita previa por correo electrónico.



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

## 1.11. Objetivos del curso

En este curso se aprende el diseño de algunos circuitos aritméticos básicos. Se estudian y analizan los conceptos básicos relacionados con la arquitectura de los procesadores actuales a partir de la definición de un juego de instrucciones particular, se diseña la ruta de datos para la arquitectura diseñada y se aprende a realizar su control. También se estudia un sencillo lenguaje de bajo nivel (máquina y ensamblador) para el sistema diseñado. Por último se estudia la arquitectura de un sistema elemental de memoria. También en este curso se aprende a utilizar un lenguaje específico para el diseño hardware de sistemas digitales.

Las competencias que se pretenden adquirir con esta asignatura son:

### Básicas:

**B5:** Conocimiento de la estructura, organización, funcionamiento e interconexión de los sistemas informáticos, los fundamentos de su programación, y su aplicación para la resolución de problemas propios de la ingeniería.

### Comunes:

**C9:** Capacidad de conocer, comprender y evaluar la estructura y arquitectura de los computadores, así como los componentes básicos que los conforman.

### Específicas:

**IC1:** Capacidad de diseñar y construir sistemas digitales, incluyendo computadores, sistemas basados en microprocesador y sistemas de comunicaciones.

Los objetivos que se pretenden alcanzar con esta asignatura son:

### OBJETIVOS GENERALES

G1	Aplicar las diferentes técnicas de diseño para la realización de un sistema digital.
G2	Construir un sistema a partir de su descripción en diferentes niveles de abstracción.
G3	Demostrar la influencia de la jerarquía de memoria y de otras evoluciones en las prestaciones de un sistema ordenador.
G4	Diseñar sistemas digitales complejos, utilizando lenguajes específicos de descripción hardware (VHDL)
G5	Utilizar herramientas de diseño y programación (EDA) para diseño de circuitos digitales.

### OBJETIVOS ESPECIFICOS POR TEMA

<b>TEMA 1.- Diseño digital y VHDL</b>	
1.1.	Describir circuitos digitales usando las especificaciones del lenguaje VHDL.
1.2.	Dado un circuito digital en VHDL, usar las herramientas de simulación y depurado para determinar su correcto funcionamiento, y en caso de fallo, identificar y corregir los fallos.
1.3.	Dado un circuito digital en VHDL, determinar su funcionamiento.
1.4.	Dado un circuito digital en VHDL, identificar errores de sintaxis.
1.5.	Dado un circuito digital en VHDL, identificar errores de funcionalidad.
<b>TEMA 2.- La Unidad Aritmético Lógica (ALU)</b>	
2.1.	Describir las diferentes formas de representación de los números y operar con números enteros y en coma flotante.



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

2.2.	Describir los diferentes algoritmos y circuitos digitales para las operaciones aritméticas de sumar, restar y multiplicar.
2.3.	Describir los diferentes algoritmos y circuitos digitales para las operaciones lógicas and, or, xor, etc.
2.4.	Describir con palabras propias qué es una ALU y los diferentes registros y flags que la componen.
2.5.	Dado un determinado conjunto de códigos de operación para operaciones lógicas y aritméticas, diseñar la ALU correspondiente.
<b>TEMA 3.- El Procesador I: El diseño del juego de instrucciones. El lenguaje máquina</b>	
3.1.	Describir con palabras propias y asociándolos a un procesador los conceptos de: lenguaje máquina, código de operación, modo de direccionamiento, tamaño y formato de instrucción, operando fuente y destino y dato inmediato.
3.2.	Ensamblar y desensamblar código máquina, ayudados por una tabla que contiene la codificación de las instrucciones.
3.3.	Indicar cómo queda modificado el estado del computador (contenido de registros, memoria de datos y puertos de entrada y de salida) después de la ejecución de una instrucción o al final de la ejecución de pequeños programas escritos en lenguaje ensamblador (como máximo 10 instrucciones), a partir de un estado inicial del computador.
3.4.	Escribir pequeños programas en lenguaje ensamblador del procesador propuesto (como máximo 10 instrucciones) cuya funcionalidad se especifica mediante un texto o mediante una sentencia sencilla de un lenguaje de alto nivel. Estos programas se pueden definir como funciones o macros para ser incorporados en otros programas de mayor extensión.
3.5.	Escribir pequeños programas (como máximo 10 instrucciones) en donde se utilice la pila como sistema para el paso de parámetros en las llamadas a funciones o subrutinas. Indicar el contenido de la pila y de los registros asociados a ella tras la ejecución de programas escritos en ensamblador.
<b>TEMA 4.- El Procesador II: Diseño y control de la ruta de datos. Arquitectura uniciclo</b>	
4.1.	A partir del esquema de un sistema digital, describir una determinada operación por medio del lenguaje de transferencia de registros (RTL).
4.2.	A partir de la descripción RTL de una determinada operación, diseñar la ruta de datos que la implemente.
4.3.	Conocida la ruta de datos para la arquitectura del procesador propuesto, indicar el valor de las señales o buses activos de la Unidad de Proceso y de la Unidad de Control para cada una de las instrucciones originales del citado procesador, en el caso que cada instrucción se ejecuta en un único ciclo.
4.4.	Diseñar la máquina de control para la ruta de datos uniciclo del procesador propuesto o para un sistema digital de complejidad similar.
4.5.	A partir de la ruta de datos uniciclo del procesador propuesto, completar el diseño y el control de la misma, para que el procesador ejecute correctamente las instrucciones originales más una nueva instrucción de lenguaje máquina (de complejidad equivalente a las originales). Se parte de la definición de la nueva instrucción (vía lenguaje RTL) y de su codificación.
<b>TEMA 5.- El Procesador III: Diseño y control de la ruta de datos. Arquitectura multiciclo</b>	
5.1.	Identificar los procesos que ocurren cronológicamente en la ejecución de una



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

	instrucción
5.2.	Conocida la ruta de datos para la arquitectura del procesador propuesto, indicar el valor de las señales o buses activos de la Unidad de Proceso y de la Unidad de Control para cada una de las instrucciones originales del citado procesador, en el caso que cada instrucción se puede ejecutar en distinto número de ciclos.
5.3.	Diseñar la máquina de control para la ruta de datos multiciclo del procesador propuesto o para un sistema digital de complejidad similar.
5.4.	A partir de la ruta de datos multiciclo del procesador propuesto, completar el diseño y el control de la misma, para que el procesador ejecute correctamente las instrucciones originales más una nueva instrucción de lenguaje máquina (de complejidad equivalente a las originales). Se parte de la definición de la nueva instrucción (vía lenguaje RTL) y de su codificación.
<b>TEMA 6. - Sistemas de memoria y entrada/salida</b>	
6.1.	Establecer un mapa de direcciones a partir de los requisitos del sistema e identificar las direcciones de acceso a cada dispositivo a partir de un mapa de direcciones.
6.2.	Calcular el ancho de banda o porcentaje de uso de CPU en el acceso a periféricos a partir de los parámetros fundamentales de dicha comunicación.
6.3.	Escribir un pequeño código ensamblador para la comunicación básica con periféricos.



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

## 1.12. Contenidos del programa

### Programa Sintético

UNIDAD 1. Diseño digital y VHDL

UNIDAD 2. La Unidad Aritmético Lógica (ALU)

UNIDAD 3. El Procesador I: Diseño del juego de instrucciones. El lenguaje máquina.

UNIDAD 4. El Procesador II: Diseño y control de la ruta de datos. Arquitectura uniciclo.

UNIDAD 5. El Procesador III: Diseño y control de la ruta de datos. Arquitectura multiciclo.

UNIDAD 6. Sistemas de memoria y entrada/salida.

### Programa Detallado

#### 1. Diseño digital y VHDL

##### 1.1. Introducción

1.1.1. Módulos: entidad y arquitectura

1.1.2. Simulación y síntesis

##### 1.2. Diseño combinacional

1.2.1. Puertas lógicas

1.2.2. Asignaciones condicionales

1.2.3. Señales internas, representación numérica y buses

1.2.4. Procesos. Case e if

##### 1.3. Diseño estructural

##### 1.4. Diseño secuencial

1.4.1. Registros síncronos

1.4.2. Latches y memoria implícita

1.4.3. Diseño y verificación de bancos de prueba

##### 1.5. Bancos de prueba

#### 2. La Unidad Aritmético Lógica (ALU)

##### 2.1. Circuitos aritméticos

2.1.1. Sumar y restar

2.1.2. Multiplicar

2.1.3. Desplazamiento

##### 2.2. Sistemas de numeración

2.2.1. Coma fija

2.2.2. Coma flotante

##### 2.3. Diseño de la ALU

#### 3. El Procesador I: El diseño del juego de instrucciones. El lenguaje máquina

##### 3.1. Lenguaje ensamblador

3.1.1. Instrucciones

3.1.2. Operandos: registros, memoria y constantes

##### 3.2. Código máquina

3.2.1. Tipos de instrucciones: R, I, J

##### 3.3. Programación

3.3.1. Instrucciones aritmético/lógicas y de memoria

3.3.2. Saltos. Relación con ejecución condicional y llamadas

3.3.3. La pila

##### 3.4. Modos de direccionamiento



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

4. **El Procesador II: Diseño y control de la ruta de datos. Arquitectura uniciclo**
  - 4.1. Ruta de datos
  - 4.2. Control uniciclo
  - 4.3. Añadir más instrucciones
5. **El Procesador III: Diseño y control de la ruta de datos: Arquitectura multiciclo**
  - 5.1. Ruta de datos. Pasos de ejecución
  - 5.2. Control multiciclo
  - 5.3. Añadir más instrucciones
6. **Sistemas de memoria y entrada/salida.**
  - 6.1. Interfaz entre el procesador y los periféricos: mapa de direcciones
    - 6.1.1. Jerarquía de memoria
    - 6.1.2. Bloques alineados y no alineados
  - 6.2. Gestión de dispositivos de E/S: polling, interrupciones y DMA
    - 6.2.1. *Polling* o consulta periódica. Consecuencias en la carga del procesador
    - 6.2.2. Interrupciones, rutinas de atención y tablas de direcciones de atención a interrupciones. Interrupciones enmascarables y no enmascarables
    - 6.2.3. DMA o acceso directo a memoria. Consecuencias en la liberación del procesador e inteligencia del periférico



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

## 1.13. Referencias de consulta

1. Digital Design and Computer Architecture. D.M. Harris y S.L. Harris. Morgan Kaufman Pub. 2007. ISBN: 0123704979. Ref\_UAM: INF/621.3/HAR.
2. Estructura y diseño de computadores: La interfaz software/hardware. D.A. Patterson y J.L. Hennessy. Ed. Reverte 2011. ISBN: 9788429126204. Ref\_UAM: INF/681.32.3/PAT.
3. Computer Organization And Design: The Hardware/Software Interface. D.A. Patterson y J.L. Hennessy. Morgan Kaufmann. 4ª Ed. 2009. ISBN: 9780123744937. Ref\_UAM: INF/681.3.06/PAT.
4. Fundamentos de diseño lógico y de computadores. M.M.Mano y C.R.Kime. Prentice Hall. 2005. ISBN: 8420543993. Ref\_UAM: INF/621.3/MAN.
5. Organización de computadores. C.Hamacher, Z.Vranesic y S.Zaky. McGraw-Hill. 5ª Ed. 2003. ISBN: 8448139518. Ref\_UAM: INF/681.32.3/HAM.
6. The Student's Guide to VHDL. P. Ashenden. Morgan Kaufman Pub. 1998. ISBN: 1558605207. Ref\_UAM: INF/681.3.062/ASH.
7. Diseño de Sistemas Digitales con VHDL. S.A. Pérez, E. Soto y S. Fernández. Thomson. 2002. ISBN: 8497320816. Ref\_UAM: INF/681.3.062-V/PER.
8. Diseño digital avanzado con VHDL. F. Machado, S. Borromeo y N. Malpica. Serv. Publicaciones URJC. 2009. ISBN: 9788498494198. Ref\_UAM: INF/681.3.062-V/MAC.

### Bibliografía principal y secundarias asociadas al temario propuesto:

**UNIDAD 1.** Diseño Digital y VHDL.

Principal: Ref[1] C4.

Secundarias: Ref[6] completo, Ref[7] completo, Ref[8] completo.

**UNIDAD 2.** La Unidad Aritmético Lógica (ALU).

Principal: Ref[1] C5.

Secundarias: Ref[2] C3, Ref[3] C3, Ref[4] C5.

**UNIDAD 3.** El Procesador I: Diseño del juego de Instrucciones. El lenguaje máquina.

Principal: Ref[1] C6.

Secundarias: Ref[2] C2, Ref[3] C2.

**UNIDAD 4.** El Procesador II: Diseño y Control de la ruta de datos: arquitectura uniciclo.

Principal: Ref[1] C7.1 y C7.3.

Secundarias: Ref[2] C4, Ref[3] C4.

**UNIDAD 5.** El Procesador III: Diseño y Control de la ruta de datos: arquitectura multiciclo.

Principal: Ref[1] C7.4.



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

**UNIDAD 6.** Sistemas de Memoria y Entrada/Salida.

Principal: Ref[1] C8.

Secundarias: Ref[2] C6, Ref[3] C6, Ref[4] C13.



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

## 2. MÉTODOS DOCENTES

La metodología utilizada en el desarrollo de la actividad docente incluye los siguientes tipos de actividades:

### \*Clases de teoría:

#### Actividad del profesor

Clases expositivas simultaneadas con la realización de ejercicios. Se utilizará la pizarra, combinada con presentaciones en formato electrónico y uso de simulaciones.

#### Actividad del estudiante:

*Actividad presencial:* Toma de apuntes, participar activamente en clase respondiendo a las cuestiones planteadas. Resolución de los ejercicios propuestos durante el desarrollo de las clases.

*Actividad no presencial:* Preparación de apuntes, estudio de la materia y realizaciones de los cuestionarios planteados en el Campus Virtual de la asignatura.

### \*Clases de problemas en aula:

#### Actividad del profesor

Primera parte expositiva, una segunda parte de supervisión y asesoramiento en la resolución de los problemas por parte del alumno y una parte final de análisis del resultado y generalización a otros tipos de problemas. Se utiliza básicamente la pizarra con proyecciones en formato electrónico para las figuras y simulaciones en lenguaje de bajo nivel.

#### Actividad del estudiante:

*Actividad presencial:* Participación activa en la resolución de los problemas y en el análisis de los resultados.

*Actividad no presencial:* Realización de otros problemas, planteados a través del Campus Virtual y no resueltos en clase y estudio de los planteados en las mismas. Utilización de las simulaciones en lenguaje de bajo nivel para analizar y comprobar los resultados. Estudio y planteamiento de modificaciones que permitan la optimización de las soluciones planteadas.

### \*Tutorías en aula:

#### Actividad del profesor:

Tutorización a toda la clase o en grupos de alumnos reducidos (8-10) con el objetivo de resolver dudas comunes plantadas por los alumnos a nivel individual o en grupo, surgidas a partir de cuestiones/ejercicios/problemas señalados en clase para tal fin y orientarlos en la realización de los mismos.

#### Actividad del estudiante:

*Actividad presencial:* Planteamiento de dudas individuales o en grupo y enfoque de posibles soluciones a las tareas planteadas.



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

*Actividad no presencial:* Estudio de las tareas marcadas y debate de las soluciones planteadas en el seno del grupo.

**\*Prácticas de laboratorio:**

**Actividad del profesor:**

Asignar una práctica a cada grupo de trabajo y explicar la práctica asignada a cada grupo de trabajo al comienzo de la sesión de prácticas. Supervisar el trabajo de los grupos de trabajo en el laboratorio. Suministrar el guión de prácticas a completar en el laboratorio.

Se utilizan el método expositivo tanto en tutorías como en el laboratorio con cada grupo de trabajo. Los medios utilizados son el software del laboratorio y ordenadores del propio laboratorio para la ejecución y simulación de los programas realizados.

**Actividad del estudiante:**

*Actividad presencial:* Planteamiento inicial, previo al desarrollo de la práctica, sobre información contenida en el enunciado. Debate en el seno del grupo sobre el planteamiento de la solución óptima. Al finalizar la práctica se entrega un breve informe con el programa desarrollado y, además, se debe ejecutar con el profesor presente, quien hará las preguntas oportunas a cada miembro del grupo para calificar de forma individual la práctica.

*Actividad no presencial:* Profundizar en el enunciado de la práctica y plantear el diagrama de flujo óptimo para la resolución de la misma. Redacción del informe de la práctica incluyendo el diagrama final planteado.

## 2.1. Tiempo de trabajo del estudiante

		Nº de horas	Porcentaje
Presencial	Clases teóricas (3h x14 semanas)	42 h (28%)	78 h (52%)
	Clases prácticas (2h x13 semanas)	26 h (17%)	
	Tutorías globales	4 h (3%)	
	Realización de prueba escrita (ordinarias)	3 h (2%)	
	Realización de prueba escrita (extraordinaria)	3 h (2%)	
No presencial	Estudio semanal regulado (3 horas x 14 semanas)	42 h (28%)	72 h (48%)
	Preparación del examen (ordinario)	12 h (8%)	
	Preparación del examen (extraordinario)	18 h (12%)	
<b>Carga total de horas de trabajo: 25 horas x 6 ECTS</b>		<b>150 h</b>	



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

## 2.2. Métodos de evaluación y porcentaje en la calificación final

- Ambas partes, teoría y prácticas se puntúan sobre 10 puntos.
- La nota final de la asignatura se obtiene de las notas de teoría y prácticas por medio de la ecuación:

$$\text{Calificación: } 0,4 \cdot \text{Not\_Lab} + 0,6 \cdot \text{Not\_Teo}$$

- Para aprobar la asignatura es obligatorio obtener una nota mayor o igual a 5 puntos, tanto en la parte de teoría como en la práctica de laboratorio. En caso contrario, la nota final en actas será

$$\text{Calificación: } (0,4 \cdot \text{Mín}(5, \text{Not\_Lab}) + 0,6 \cdot \text{Mín}(5, \text{Not\_Teo}))$$

1. Para los estudiantes que opten por el método de evaluación CONTINUA, sus calificaciones se obtendrán de la siguiente forma:

a. La nota correspondiente a la parte de Teoría (**Not\_Teo**) es la que resulta de:

a.1 Siempre que se supere la calificación de 5 puntos en cada una de las tres pruebas escritas parciales, la nota obtenida será la media ponderada entre las citadas pruebas escritas y todas las otras actividades evaluables realizadas durante el curso.

$$\text{Not\_Teo: } 0,2 \cdot \text{ExaP1} + 0,35 \cdot \text{ExaP2} + 0,3 \cdot \text{ExaP3} + 0,15 \cdot \text{Resto}$$

a.2 En el caso que no se supere alguna de las tres pruebas escritas parciales, la nota obtenida será la media ponderada entre las citadas pruebas escritas, todas las otras actividades evaluables realizadas durante el curso y la nota del examen final.

$$\text{Not\_Teo: } 0,4 \cdot (0,2 \cdot \text{Exp1} + 0,35 \cdot \text{Exp2} + 0,3 \cdot \text{Exp3} + 0,15 \cdot \text{Resto}) + 0,6 \cdot \text{ExFinal}$$

Las pruebas escritas parciales se realizarán durante el periodo lectivo y en horario de clase y consistirán en la evaluación de los objetivos que deben ser alcanzados por los estudiantes durante las unidades que componen cada parcial, así como las unidades incluidas en los parciales previos.

Además de la prueba escrita, la calificación de cada parcial se obtendrá por la evaluación de otras actividades que se centrarán preferentemente en los objetivos que deben ser alcanzados por los estudiantes en los periodos parciales del curso.

El examen final consistirá en una prueba escrita, cuyo contenido abarca todos los objetivos que deben ser alcanzados por los estudiantes durante el curso.

Las pruebas escritas podrán incluir tanto cuestiones teóricas como resolución de problemas.

La calificación con una nota inferior a 3,5 puntos en cualquiera de las tres pruebas escritas parciales, supone la exclusión del método de evaluación CONTINUA.



Asignatura: Estructura de Computadores  
Código: 17820  
Centro: Escuela Politécnica Superior  
Titulación: Grado en Ingeniería Informática  
Nivel: Grado  
Tipo: Obligatoria  
Nº de créditos: 6 ECTS

Un estudiante puede optar a mejorar la calificación obtenida por evaluación continua presentándose al examen final. En tal caso se le aplicará la ponderación señalada en el apartado a.2.

b. La nota correspondiente a la parte de Laboratorio (**Not\_Lab**) es la que resulta de realizar las prácticas programadas en el curso.

- ✓ Para aprobar la parte práctica el estudiante deberá asistir a todas las sesiones prácticas. Siempre por motivos debidamente justificados, un estudiante puede faltar a un máximo de 2 sesiones de prácticas (4 horas), debiendo en su caso, presentar las memorias correspondientes. En caso contrario deberá realizar un examen de prácticas consistente en una práctica de mayor complejidad a las realizadas en el laboratorio.

La calificación de la parte práctica tendrá en cuenta la calidad de los diseños realizados y el nivel de los resultados obtenidos. También se valorará la validez de los resultados obtenidos en cada uno de los apartados que se hayan establecido para su realización en los guiones de las prácticas.

2. Para los estudiantes que opten por la modalidad de **evaluación NO CONTINUA**, sus calificaciones se obtendrán de la siguiente forma:

a. La nota correspondiente a la parte de Teoría es la que resulta de:

- ✓ La calificación de la prueba final (100%).

La prueba final consistirá en una prueba escrita, cuyo contenido abarcará todos los objetivos que deben alcanzar los estudiantes en el curso completo. Esta prueba podrá incluir tanto cuestiones teóricas como resolución de problemas.

➤ La nota correspondiente a la parte de Laboratorio es la que resulta de la calificación obtenida en un **único examen práctico**, que permita evaluar todos los conceptos desarrollados en las prácticas de laboratorio propuestas en la asignatura.

En ambas modalidades de evaluación CONTINUA y NO CONTINUA:

- ✓ La nota de teoría se conserva (convalida) sólo para la convocatoria extraordinaria en el mismo curso académico.
- ✓ La nota de prácticas se conserva (convalida) para la convocatoria extraordinaria en el mismo curso académico y siempre que la calificación obtenida sea igual o superior a 7,0 puntos para las dos convocatorias del curso siguiente.



Asignatura: Estructura de Computadores  
 Código: 17820  
 Centro: Escuela Politécnica Superior  
 Titulación: Grado en Ingeniería Informática  
 Nivel: Grado  
 Tipo: Obligatoria  
 Nº de créditos: 6 ECTS

## 2.3. Cronograma

Semana	Actividades Presenciales	Actividades No Presenciales
1ª	<ul style="list-style-type: none"> <li>✓ Presentación de la asignatura.</li> <li>✓ U1. Diseño Digital y VHDL. Tema: 1.1</li> </ul>	<ul style="list-style-type: none"> <li>✓ Estudio del material propuesto sobre U1.</li> </ul>
2ª	<ul style="list-style-type: none"> <li>✓ U1. Diseño Digital y VHDL. Temas: 1.2, 1.3, 1.4</li> <li>✓ Tutoría Conjunta U1.</li> <li>✓ P1. Tutorial de VHDL (I).</li> </ul>	<ul style="list-style-type: none"> <li>✓ Estudio del material propuesto sobre U1.</li> </ul>
3ª	<ul style="list-style-type: none"> <li>✓ U2. La Unidad Aritmético Lógica Temas: 2.1, 2.2</li> <li>✓ Tutoría Conjunta U1.</li> <li>✓ P1. Tutorial de VHDL (II).</li> </ul>	<ul style="list-style-type: none"> <li>✓ Estudio del material propuesto sobre U2.</li> <li>✓ Resolución de problemas de U2.</li> </ul>
4ª	<ul style="list-style-type: none"> <li>✓ U2. La Unidad Aritmético Lógica Temas: 2.3, 2.4</li> <li>✓ Tutoría Conjunta U2.</li> <li>✓ P2. Estructura simplificada de un <math>\mu</math>Procesador (I)</li> </ul>	<ul style="list-style-type: none"> <li>✓ Entrega P1.</li> <li>✓ Resolución de problemas de U2.</li> <li>✓ Estudio del material propuesto sobre U2.</li> </ul>
5ª	<ul style="list-style-type: none"> <li>✓ U3. El procesador I: El diseño del juego de Instrucciones. Tema: 3.1, 3.2</li> <li>✓ Tutoría Conjunta U2.</li> <li>✓ P2. Estructura simplificada de un <math>\mu</math>Procesador (II)</li> </ul>	<ul style="list-style-type: none"> <li>✓ Estudio del material propuesto sobre U3.</li> <li>✓ Resolución de problemas de U3.</li> </ul>
6ª	<ul style="list-style-type: none"> <li>✓ U3. El procesador I: El diseño del juego de Instrucciones. Temas: 3.2</li> <li>✓ Tutoría Conjunta U3.</li> <li>✓ P3. Diseño de la ALU (I)</li> </ul>	<ul style="list-style-type: none"> <li>✓ Entrega P2.</li> <li>✓ Estudio del material propuesto sobre U3.</li> <li>✓ Resolución de problemas de U3.</li> </ul>
7ª	<ul style="list-style-type: none"> <li>✓ U3. El procesador I: El diseño del juego de Instrucciones. Temas: 3.3</li> <li>✓ Tutoría Conjunta U3.</li> <li>✓ P3. Diseño de la ALU (II)</li> </ul>	<ul style="list-style-type: none"> <li>✓ Resolución de problemas de U3.</li> <li>✓ Estudio del material propuesto sobre U3.</li> <li>✓ Resolución de problemas de U3.</li> </ul>
8ª	<ul style="list-style-type: none"> <li>✓ U4. El procesador II: Diseño y control uniclo. Temas: 4.1, 4.2</li> <li>✓ Tutoría Conjunta U3.</li> <li>✓ P4. El ensamblador de MIPS (I)</li> </ul>	<ul style="list-style-type: none"> <li>✓ Entrega P3.</li> <li>✓ Estudio del material propuesto sobre U4.</li> <li>✓ Resolución de problemas de U4.</li> </ul>
9ª	<ul style="list-style-type: none"> <li>✓ U4. El procesador II: Diseño y control de la ruta de datos. Temas: 4.2</li> <li>✓ Tutoría Conjunta U4.</li> <li>✓ P4. El ensamblador de MIPS (II)</li> </ul>	<ul style="list-style-type: none"> <li>✓ Estudio del material propuesto sobre U4.</li> <li>✓ Resolución de problemas de U4.</li> </ul>
10ª	<ul style="list-style-type: none"> <li>✓ U4. El procesador II: Diseño y control de la ruta de datos. Temas: 4.2</li> <li>✓ Tutoría Conjunta U4.</li> <li>✓ P5. Diseño del GPR y Ruta del PC</li> </ul>	<ul style="list-style-type: none"> <li>✓ Entrega P4.</li> <li>✓ Resolución de problemas de U4.</li> <li>✓ Estudio del material propuesto sobre U4.</li> </ul>
11ª	<ul style="list-style-type: none"> <li>✓ U5. El procesador III: Diseño y control multiciclo. Temas: 5.1, 5.2</li> <li>✓ Tutoría Conjunta U4.</li> <li>✓ P6. Integración del <math>\mu</math>Procesador completo (I)</li> </ul>	<ul style="list-style-type: none"> <li>✓ Entrega P5.</li> <li>✓ Resolución de problemas de U5.</li> <li>✓ Estudio del material propuesto sobre U5</li> </ul>
12ª	<ul style="list-style-type: none"> <li>✓ U5. El procesador III: Diseño y control multiciclo. Temas: 5.3, 5.4</li> <li>✓ Tutoría Conjunta U5.</li> <li>✓ P6. Integración del <math>\mu</math>Procesador completo (II)</li> </ul>	<ul style="list-style-type: none"> <li>✓ Resolución de problemas de U5.</li> <li>✓ Estudio del material propuesto sobre U5</li> </ul>
13ª	<ul style="list-style-type: none"> <li>✓ U6. Sistemas de Memoria y Entrada/Salida. Temas: 6.1, 6.2</li> <li>✓ Tutoría Conjunta U5.</li> <li>✓ P6. Integración del <math>\mu</math>Procesador completo (III)</li> </ul>	<ul style="list-style-type: none"> <li>✓ Estudio del material propuesto sobre U6.</li> <li>✓ Resolución de problemas de U6.</li> </ul>
14ª	<ul style="list-style-type: none"> <li>✓ U6. Sistemas de Memoria y Entrada/Salida. Temas: 6.2, 6.3</li> <li>✓ Tutoría Conjunta U6.</li> <li>✓ P6. Integración del <math>\mu</math>Procesador completo (IV)</li> </ul>	<ul style="list-style-type: none"> <li>✓ Entrega P6.</li> <li>✓ Estudio del material propuesto sobre la U5.</li> <li>✓ Resolución de problemas de las U5.</li> </ul>
XX/05/2012	➤ Examen Final Ordinario	✓ Preparación del Examen final.
XX/06/2012	➤ Examen Final Extraordinario	✓ Preparación del Examen final.